

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

010569734 **Image available**
WPI Acc No: 1996-066687/ 199607
XRAM Acc No: C96-021748

Bonding semiconductor substrate formation - by providing semiconductor layer on porous layer and planarising surface of semiconductor layer to form bonding surface, to carry out bonding with other substrates

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|------------|------|----------|-------------|------|----------|----------|
| JP 7326719 | A | 19951212 | JP 94117944 | A | 19940531 | 199607 B |

Priority Applications (No Type Date): JP 94117944 A 19940531

Patent Details:

| Patent No | Kind | Lan | Pg | Main IPC | Filing Notes |
|------------|------|-----|----|-------------|--------------|
| JP 7326719 | A | | 7 | H01L-027/12 | |

Abstract (Basic): JP 7326719 A

The method provides a porous layer (102) on a semiconductor substrate (101). A semiconductor layer (103) is then set up on the porous layer.

The surface of the semiconductor layer is planarised to become a bonding surface. Thus, the semiconductor substrate makes bonding with other substrates.

ADVANTAGE - Improves quality of substrate. Provides high yield of bonding semiconductor substrate. Realizes good bonding. Reduces surface roughness.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-326719

(43) 公開日 平成7年(1995)12月12日

(51) Int.Cl.⁶

H 0 1 L 27/12
21/18

識別記号

庁内整理番号

B

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平6-117944

(22) 出願日 平成6年(1994)5月31日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 坂本 勝

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

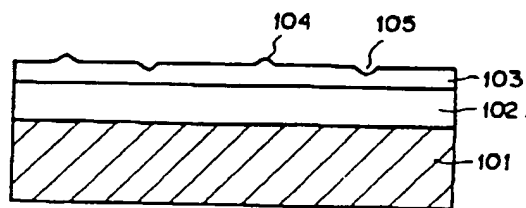
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 貼り合わせ半導体基板の形成方法

(57) 【要約】

【目的】 ボイド（欠陥）をなくし、品質を向上させる。

【構成】 半導体基板101の少なくとも一主面側を多孔質化し、形成された多孔質層102上に半導体層103を形成する工程と、該半導体層表面を平坦化する工程と、該半導体層の平坦化面を貼り合わせ面として、前記半導体基板と他の基板との貼り合わせを行なう工程と、を備えた。



【特許請求の範囲】

【請求項1】 半導体基板の少なくとも一主面側を多孔質化し、形成された多孔質層上に半導体層を形成する工程と、

該半導体層表面を平坦化する工程と、

該半導体層の平坦化面を貼り合わせ面として、前記半導体基板と他の基板との貼り合わせを行なう工程と、

を備えた貼り合わせ半導体基板の形成方法。

【請求項2】 請求項1記載の貼り合わせ半導体基板の形成方法において、前記半導体層はシリコン単結晶からなることを特徴とする貼り合わせ半導体基板の形成方法。

【請求項3】 請求項1記載の貼り合わせ半導体基板の形成方法において、平坦化工程前の半導体層は、単結晶層と非単結晶層との積層構造体からなることを特徴とする貼り合わせ半導体基板の形成方法。

【請求項4】 請求項1記載の貼り合わせ半導体基板の形成方法において、前記半導体層表面を平坦化した後に、その表面に酸化膜を形成したことを特徴とする貼り合わせ半導体基板の形成方法。

【請求項5】 請求項1記載の貼り合わせ半導体基板の形成方法において、前記他の基板は少なくとも貼り合わせ面が絶縁体の絶縁性基板であることを特徴とする貼り合わせ半導体基板の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は貼り合わせ半導体基板の形成方法に係わり、特に、半導体基板の少なくとも一主面側を多孔質化し、形成された多孔質層上に半導体層を形成し、この半導体層と他の基板との貼り合わせを行なう貼り合わせ半導体基板の形成方法に関する。

【0002】

【従来の技術】 絶縁物上の単結晶Si半導体層の形成はシリコン-オン-インシュレータ(SOI)技術として広く知られ通常のSi回路を作成するバルクSi基板では到達しえない数々の優位点をSOI技術を利用したデバイスが有することから多くの研究がなされてきた。

【0003】 デバイス特性上の多くの利点を実現するためにここ数十年に渡り、SOI構造の形成方法について研究されてきている。この内容は、例えば以下の文献にまとめられている。

【0004】 Special Issue: "Single-crystal silicon on non-single-crystal insulators"; edited by G. W. Cullen, Journal of Crystal Growth, volume 63, no. 3, pp 429~590 (1983)

また、古くは単結晶サファイア基板上にSiをCVD法(化学気相法)で、ヘテロエピタキシーさせて形成する

SOS(シリコン オン サファイア)が知られており、最も成熟したSOI技術として一応の成功を収めはしたが、Si層と下地サファイア基板界面の格子不整合により大量の結晶欠陥、サファイア基板からのアルミニウムのSi層への混入、そして何よりも基板の高価格と大面積化への遅れにより、その応用の広がりが妨げられている。

【0005】 比較的近年には、サファイア基板を使用せずにSOI構造を実現しようという試みが行なわれている。この試みは、次の二つに大別される。

(I) Si単結晶基板を表面酸化後に、窓を開けてSi基板を部分的に表出させ、その部分をシードとして横方向へエピタキシャル成長させ、SiO₂上へSi単結晶を形成する(この場合には、SiO₂上にSi層の堆積をとまなう)。

(II) Si単結晶基板そのものを活性層として使用し、その下部にSiO₂層を形成する(この方法は、Si層の堆積をとまなわない)。

【0006】 従来上記(I)を実現する手段としては、(1)CVD法により、直接単結晶Siを横方向エピタキシャル成長させる方法や、(2)非晶質Siを堆積して、熱処理により固相横方向エピタキシャル成長させる方法や、(3)非晶質、あるいは多結晶Si層に電子線、レーザー光等のエネルギービームを収束して照射し、熔融再結晶により単結晶をSiO₂上に成長させる方法や、(4)棒状ヒーターにより帯状に熔融領域を走査する方法(Zone Melting Recrystallization)等が知られている。

【0007】 これらの方法にはそれぞれ一長一短があるが、その制御性、生産性、均一性、品質に多大の問題を残しており、いまだに工業的に実用化したものはない。

【0008】 たとえば(1)のCVD法では、平坦薄膜化するには犠牲酸化が必要になるという問題があり、また(2)の固相成長法ではその結晶性が悪くなるという問題がある。また、(3)のビームアニール法では、収束ビーム走査による処理時間と、ビームの重なり具合、焦点調整などの制御性に問題がある。(4)のZone Melting Recrystallization法は、もっとも成熟しており、比較的大規模な集積回路も試作されているが、依然として亜粒界等の結晶欠陥は多数残留しており、少数キャリアデバイスを作成するに到っていない。

【0009】 上記(II)の方法であるSi基板をエピタキシャル成長の種子として用いない方法においては、次の3種類の方法が挙げられる。

【0010】 (5) V型の溝が表面に異方性エッチングされたSi単結晶基板に酸化膜を形成し、該酸化膜上に、多結晶Si層をSi基板と同じ程度厚く堆積した後、Si基板の表面から研磨によって、厚い多結晶Si層上にV溝に囲まれて誘電分解されたSi単結晶領域を形成

する方法である。

【0011】この方法においては、結晶性は良好であるが、多結晶Siを数百ミクロンも厚く堆積する工程と、単結晶Si基板を裏面より研磨して分離したSi活性層のみを残す工程に、制御性と生産性の点から問題がある。

【0012】(6) サイモックス (SIMOX: Separation-by-Ion-Implanted-oxygen) と称されるSi単結晶基板中に酸素のイオン注入によりSiO₂層を形成する方法であり、Siプロセスと整合性がよいため現在もっとも成熟した方法である。

【0013】しかしながら、SiO₂層を形成するためには、酸素イオンを 10^{14} ions/cm²以上も注入する必要があり、その注入時間は長大であり、生産性は高いとはいえず、また、ウエハーコストは高い。更に結晶欠陥は多く残存し、工業的に見て、少数キャリアデバイスを作製できる十分な品質に至っていない。

【0014】(7) 多孔質Siの酸化による誘電体分離によりSOI製造を形成する方法で、

【0015】この方法は、P型Si単結晶基板表面にN型Si層をプロトンイオン注入(イマイ他、J. Cryst. Growth, vol. 63, 547 (1983))、もしくは、エピタキシャル成長とバターニングによって島状に形成し、表面よりSi島を囲むように、HF溶液中の陽極化成法によりP型Si基板のみを多孔質化した後、増速酸化法によりN型Si島を誘電体分離する方法である。

【0016】本方法では、分離されているSi領域は、デバイス工程の前に決定されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【0017】以上のように、SOI構造を実現しようとして、さまざまな方法が考えられてはいるが、いずれも解決すべき課題をかかえており、特に、SOI層には多量の結晶欠陥が存在しており、Siウエハー並の良質なSi単結晶層を得ることは難しいという問題がある。

【0018】ところで、近年、光受光素子であるコンタクトセンサーや、投影型液晶画像表示装置を構成するうえで、絶縁性基板の一つである光透過性基板上に半導体素子を作成することが重要となっており、センサーや表示装置の画素(絵素)を、より一層、高密度化、高解像度化、高精細化するため、高性能な駆動素子が求められている。そのため、光透過性基板上に設けられる素子としても、優れた結晶性を有する単結晶層を用いて作製されることが必要となっているが、ガラスに代表される光透過性基板は、一般的に、その結晶構造は非晶質であって、堆積した薄膜Si層は、基板の結晶構造の無秩序性を反映して、非晶質か、良くて多結晶層にしかならず、その欠陥の多い結晶構造ゆえに、現在あるいは今後要求されるに十分な性能を持った駆動素子を作製するこ

とが難しい。

【0019】そこで良質なSOI層を得る方法として、Si単結晶基板を陽極化成し、この化成層上にエピタキシャル成長を行い、単結晶層を形成し、これを熱酸化膜付のシリコン基板等の支持基板に貼り合わせ、選択的に化成層のみを除去する(以下、ELTRANという)方法が提案されている(特開平5-21338号公報)。

【0020】

【発明が解決しようとする課題】しかしながら、上述のELTRAN方法では化成層上にエピタキシャル成長を行うために、エピタキシャル前処理(HClによる表面層エッチング)を行うと、化成層が変質してしまい良好なエピタキシャル層を得ることができない。エピタキシャル前処理としては水素雰囲気中で表面層に形成されている自然酸化膜を除去するのが限界である。

【0021】そのため表面層に残存するパーティクル等によるエピタキシャルの異状成長や、エピタキシャルの欠落といった問題が存在する。ここで発生したエピタキシャルの異状は最終的なSOI基板ではボイド(欠落)となり品質を低下させることになっていた。

【0022】

【課題を解決するための手段】本発明の貼り合わせ半導体基板の形成方法は、半導体基板の少なくとも一主面側を多孔質化し、形成された多孔質層上に半導体層を形成する工程と、該半導体層表面を平坦化する工程と、該半導体層の平坦化面を貼り合わせ面として、前記半導体基板と他の基板との貼り合わせを行なう工程と、を備えたことを特徴とする。

【0023】

【作用】本発明は、多孔質層上に形成された半導体層表面を研磨等で平坦化することにより、該半導体層表面の凹凸部を除去し、良好な貼り合わせを実現するものである。

【0024】更には、上記半導体層を単結晶層としたときに、パーティクル等の影響で単結晶が一部堆積せず単結晶層に凹部が生ずる場合には、上記半導体層を単結晶層と非単結晶層との積層構造体とすることで、パーティクル等の上にも非選択的に非単結晶を堆積させ、その後研磨を行なうことで半導体層の凹部にのみ非単結晶を残し、良好な貼り合わせを実現するものである。

【0025】更には、半導体表面を研磨した後にその表面に酸化膜を形成することで、表面荒さを低減させ良好な貼り合わせを実現するものである。

【0026】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【実施例1】図1、図2は本発明の貼り合わせ半導体基板の形成方法の第1実施例を説明するための模式的断面図である。図1、2において、101は半導体基板、102は多孔質層である陽極化成層、103は陽極化成層

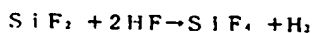
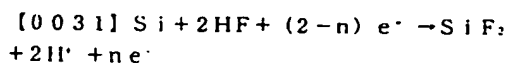
102上にエピタキシャル成長させた単結晶半導体層、104はエピタキシャル成長時に半導体層が異状成長し凸部となった領域、105はエピタキシャル成長時に半導体層が異状成長し凹部となった領域である。106はこの凹凸を有する半導体層の表面を研磨等により平坦化した単結晶半導体層である。

【0027】ここで、半導体層の表面を研磨しない場合との比較において、本発明について説明する。図3、図4は半導体層の表面を研磨しない場合の問題点を示すための模式的断面図である。図3、図4において、201は半導体基板、202は多孔質層である陽極化成層、203は化成層上にエピタキシャル成長させた単結晶半導体層、204、205はエピタキシャルの異状成長により凹凸が生じた部分、210は支持基板、211は絶縁膜である。この両者を貼り合わせ、更に半導体基板201及び陽極化成層202を除去することによりSOI基板が形成される。但し、凹凸が生じた部分204及び205に起因して単結晶半導体層203の膜ハガレが生じ、図4に示すように、半導体層の欠落領域206が発生してしまう。

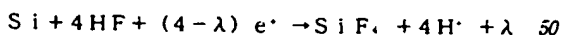
【0028】本発明では研磨等の平坦化処理によりエピタキシャル層表面の凹凸を除去し、平坦な単結晶半導体層を形成した後貼り合わせを行うことにより半導体層の欠落領域を皆無にした。

【0029】図5～図10を用いてその製造方法を説明する。図5に示すように、P型Si基板301を用いHF溶液により陽極化成法で多孔質Si層302を得る。この多孔質Si層302は単結晶Siの密度2.33g/cm³に比べて、その密度を、HF溶液濃度を50～20%に変化させることで密度1.1～0.6g/cm³の範囲に変化させることができる。この多孔質層は、下記の理由により、N型Si層には形成されず、P型Si基板のみに形成される。ここで、多孔質半導体材料について多孔質Siを例として説明する。まず多孔質Siは、Uhlir等によって1956年に半導体の電解研磨の研究過程で発見された(A. Uhlir, Bell Syst. Tech. J., vol. 35, p. 333 (1956))。

【0030】また、ウナガミ等は、陽極化成におけるSiの溶解反応を研究し、HF溶液中のSiの陽極反応には正孔が必要であり、その反応は、次のようであると報告している(T. ウナガミ: J. Electrochem. Soc., vol. 127, p 476 (1980))。



又は、



e⁻



ここでe⁺及びe⁻はそれぞれ、正孔と電子を表している。また、nおよびλは夫々シリコン1原子が溶解するために必要な正孔の数であり、n>2又は、λ>4なる条件が満たされた場合に多孔質シリコンが形成されるとしている。

【0032】続いて図6に示すように、この多孔質層上にエピタキシャル成長層303を形成する。堆積条件は以下の通りである。

【0033】

ソースガス: SiH₄ 800 SCCM

キャリアーガス: H₂ 150 l/min

温度: 850℃

圧力: 1×10⁻² Torr

成長速度: 3.3nm/sec

上記条件は減圧下におけるエピタキシャル成長条件であるが常圧であっても良い。減圧状態であっても常圧状態であってもそのエピタキシャル表面層には凹凸部304、305が存在しえる。

【0034】続いて図7に示すように、このエピタキシャル表面を研磨により平坦化する。ウエハをセラミック製のプレートに貼り合わせ、ポリエステル等の繊維より成るクロス上でそのウエハを回転させる。このクロス上には0.02μm程度の粒度からなる高純度SiO₂粒子が分散されたpH10～12程度のアンモニア水溶液を滴下させプレートに0.1～2.0kg/cm²の圧力で加圧し研磨する。圧力により研磨スピードは変化するが1.0kg/cm²で～500オングストローム/minである。～3000オングストローム程度の研磨によりエピタキシャル層306の表面は、バルクSi並の表面性を有するようになる。

【0035】次に図8に示すように、絶縁膜311を有する支持基板310と共に洗浄を行い両ウエハを貼り合わせる。この後、ウエハ中央部を加圧することにより、貼り合わせ作業が終了する。更に、このウエハに～1200℃程度の高温処理を施すことで貼り合わせ強度が向上する。

【0036】次に図9に示すように、半導体基板301をバックグラインダーにより除去する。バックグラインダー精度にもよるが±2μm程度の精度であるならば化成層厚は～5μm以上あることが望ましい。バックグラインダーにより化成層302が全面で露呈するまで研削する。

【0037】最後に図10に示すように、この化成層を選択エッチング液(フッ硝酸酢酸溶液1:3:8)を用いてエピタキシャル層306が全面で露呈するまでエッチングする。

【0038】上記方法を用いることによりボイドのない良質のSOI基板を得ることができる。

【実施例2】前記実施例1では多孔質層上に形成される半導体層が単結晶層のみである場合について説明した。

【0039】単結晶層を形成する場合、下地化成層の膜厚によりそのエピタキシャル層は変化する。化成層の穴径が大きくなればなる程、エピタキシャル表面は劣化する。更にはその化成層表面にパーティクル等が付着することにより著しい凹凸が形成される。

【0040】本実施例では著しい凹部が形成される場合について本発明の適用例を図11～図15を用いて説明する。図11に示すように、P型Si基板401を50%のHF溶液中において陽極化成を行った。この時の電流密度は100mA/cm²であった。この時の多孔質加速度は8.4μm/minである。この多孔質層上に図12に示すように、CVD法によりSiエピタキシャル成長をさせて単結晶Si層403を形成する。堆積条件は以下のとおりである。

【0041】

反応ガス流量 SiH₄ 1000 SCCM

H₂ 230 l/min

温度 1000℃

圧力 80 Torr

404はエピタキシャル成長前に化成層上に付着したパーティクルである。パーティクルに起因して著しい凹部が形成される場合がある。

【0042】続いて図13に示すように、堆積温度を600℃まで低下させることにより多結晶シリコン層405を形成させる。単結晶層が全く成長しない領域においても多結晶シリコン層405は成長するためパーティクル上にも半導体層が形成される。

【0043】この表面層を多結晶シリコン層分だけ研磨することにより図14に示すように著しい凹部に多結晶シリコンが埋め込まれた平坦な表面層の基板が得られる。

【0044】続いて前述した実施例1と同様に絶縁膜411を有する支持基板410と貼り合わせ工程を行うことで図15に示すような凹部が埋められたSOI基板を得ることができる。

【0045】なお、本発明を適用しないで貼り合わせ後の高温熱処理を行うと、図16に示すウエハ変形が発生してしまう。これはパーティクル504のために化成層502表面に半導体層503が存在しないため化成層及びパーティクルが、貼り合わせ前洗浄で水分を残留させ、密閉された領域で水分が蒸発するため、ウエハ変形を生じさせてしまうためである。図16において、501は半導体基板、505は生じた空隙、510は支持基板、511は絶縁膜である。

【0046】本発明ではその表面層に単結晶ではないにしても半導体層が形成されているためウエハ変形を生じさせるようなことが皆無となる。

【実施例3】前記実施例1、2では、研磨による平坦化

手法を用いたがその他の方法、例えば、熱酸化法を用いても平坦化を行うことができる。実施例1と同様に多孔質上にエピタキシャル層を成長させる。エピタキシャル条件によっても、その表面平滑性は変化する。RMS=0.10～0.50nm(150μm□)となる。これを1000℃程度の熱酸化を施すことにより、RMS=0.10～0.20nm(150μm□)を得ることができる。

【0047】これは、熱酸化が凹で平坦化作用を示す例である。更に、別の平坦化手法としては、800℃以上の高温でH₂雰囲気中でマイグレーションさせることにより、平滑性を向上させることができる。

【0048】

【発明の効果】以上詳細に説明したように、本発明によれば、多孔質層上に形成された半導体層表面を平坦化することにより、該半導体層表面の凹凸部を除去し、良好な貼り合わせを実現し、安定で、高歩留りの貼り合わせ半導体基板の形成方法を提供することができる。

【0049】更には、上記半導体層を単結晶層としたときに、パーティクル等の影響で単結晶が堆積せず単結晶層に凹部が生ずる場合には、上記半導体層を単結晶層と非単結晶層との積層構造体とすることで、パーティクル等の上にも非選択的に非単結晶を堆積させ、その後平坦化を行なうことで半導体層の凹部にのみ非単結晶を残し、良好な貼り合わせを実現し、安定で、高歩留りの貼り合わせ半導体基板の形成方法を提供することができる。

【0050】更には、半導体表面を研磨した後にその表面に酸化膜を形成することで表面荒さを低減させ良好な貼り合わせを実現することができる。

【0051】尚、本発明はSOI基板の形成に好適に用いることができるものである。

【図面の簡単な説明】

【図1】本発明の第1実施例による化成層上のエピタキシャル層表面の模式的断面図である。

【図2】本発明の第1実施例による化成層上のエピタキシャル層表面の模式的断面図である。

【図3】半導体層の表面を研磨しない場合の貼り合わせの状態を示す断面図である。

【図4】半導体層の表面を研磨しない場合の貼り合わせの状態を示す断面図である。

【図5】本発明によるSOI基板製造工程を示す断面図である。

【図6】本発明によるSOI基板製造工程を示す断面図である。

【図7】本発明によるSOI基板製造工程を示す断面図である。

【図8】本発明によるSOI基板製造工程を示す断面図である。

【図9】本発明によるSOI基板製造工程を示す断面図

である。

【図10】本発明によるSOI基板製造工程を示す断面図である。

【図11】本発明の第2実施例によるSOI基板製造工程を示す断面図である。

【図12】本発明の第2実施例によるSOI基板製造工程を示す断面図である。

【図13】本発明の第2実施例によるSOI基板製造工程を示す断面図である。

【図14】本発明の第2実施例によるSOI基板製造工程を示す断面図である。

【図15】本発明の第2実施例によるSOI基板製造工程を示す断面図である。

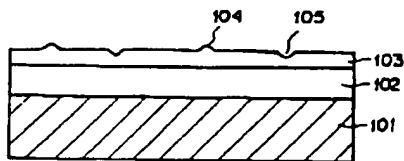
【図16】本発明によらない場合の貼り合わせの状態を示す断面図である。

【符号の説明】

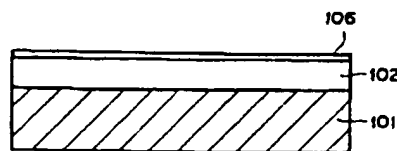
101 半導体基板
102 陽極化成層
103 単結晶半導体層
104 凸部となった領域
105 凹部となった領域
106 単結晶半導体層
201 半導体基板
202 陽極化成層
203 単結晶半導体層
204, 205 凹凸が生じた部分

206 欠陥領域
210 支持基板
211 絶縁膜
301 P型Si基板
302 多孔質Si層
303 エピタキシャル成長層
304, 305 エピタキシャル表面層の凹凸部
306 エピタキシャル層
310 支持基体
311 絶縁膜
401 P型Si基板
402 多孔質層
403 単結晶Si層
404 パーティクル
405 多結晶シリコン層
406 多結晶シリコン
410 支持基板
411 絶縁膜
501 半導体基板
502 陽極化成層
503 半導体層
504 パーティクル
505 空隙
510 支持基板
511 絶縁膜

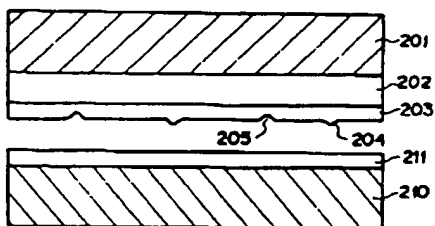
【図1】



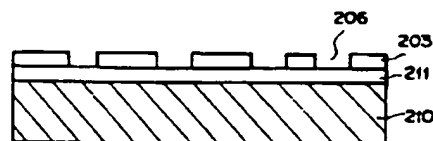
【図2】



【図3】



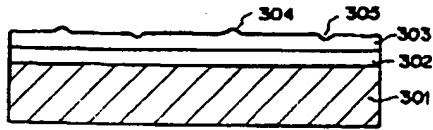
【図4】



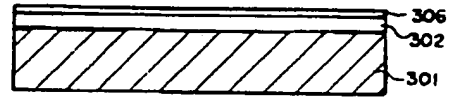
【図5】



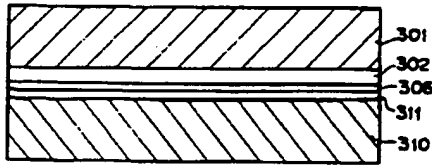
【図6】



【図7】



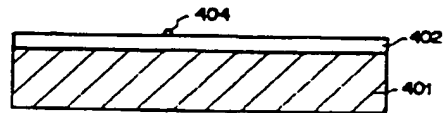
【図8】



【図9】



【図11】



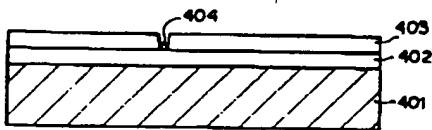
【図10】



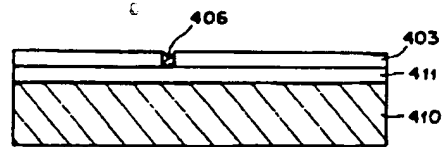
【図13】



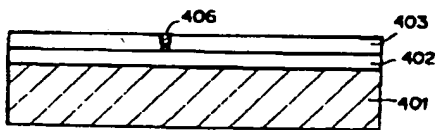
【図12】



【図15】



【図14】



【図16】

